

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 62-185471

(43)Date of publication of application : 13.08.1987

(51)Int.CI.

H04N 5/335  
H01L 27/14

(21)Application number : 61-025862

(22)Date of filing : 10.02.1986

(71)Applicant : HITACHI LTD

(72)Inventor : OZAKI TOSHIBUMI  
OBA SHINYA  
NAKAI MASAAKI  
ANDO HARUHISA  
AKIMOTO HAJIME  
SASANO AKIRA

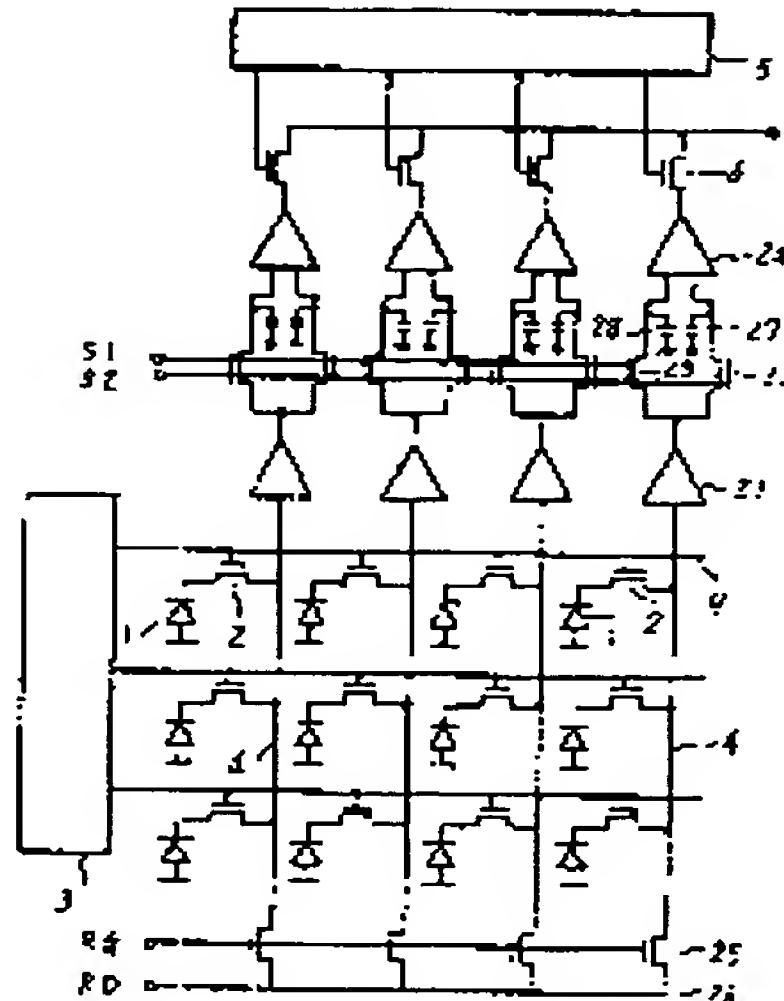
## (54) SOLID-STATE IMAGE PICKUP ELEMENT

### (57)Abstract:

PURPOSE: To reduce random noise, to shorten the time for mixing a smear charge to a signal and to have a high S/N and a low smear by providing an amplifier and a correlation double sampling circuit every vertical signal line of a-MOS type image pickup element, resetting the vertical signal line and thereafter reading a signal charge.

CONSTITUTION: During a horizontal blacking period, a voltage RG goes to a high level and when a reset switch 25 is opened, a pseudo signal in the vertical signal line is discharged. Then, when the voltage RG goes to a low level, noise voltage Vn due to the heat noise of a reset switch 25 is amplified by the amplifier 21 and sample held to a capacity 28. The fluctuation in potential of the vertical signal line in which the noise voltage Vn is superimposed on the fluctuation Vs in potential of the vertical signal line due to the signal charge is amplified by the amplifier 21 and sample held to a capacity 27.

The fluctuation Vs in potential of the vertical signal line due to the real signal charge is outputted to the output of a differential amplifier 24. The pass band of the amplifier 21 can be lowered to below 1MH and the noise can be easily reduced. The time for mixing the quantity of the smear charge can be reduced to lower the smear.



### LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

**THIS PAGE BLANK (USPTO)**

[Date of final disposal for application]  
[Patent number]  
[Date of registration]  
[Number of appeal against examiner's decision of rejection]  
[Date of requesting appeal against examiner's decision of rejection]  
[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

THIS PAGE BLANK (USPTO)

## ⑫ 公開特許公報 (A)

昭62-185471

⑬ Int.CI.

H 04 N 5/335  
H 01 L 27/14

識別記号

厅内整理番号

E-8420-5C  
7525-5F

⑭ 公開 昭和62年(1987)8月13日

審査請求 未請求 発明の数 1 (全9頁)

⑮ 発明の名称 固体撮像素子

⑯ 特願 昭61-25862

⑰ 出願 昭61(1986)2月10日

⑮ 発明者 尾崎 俊文	国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内
⑮ 発明者 大場 信弥	国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内
⑮ 発明者 中井 正章	国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内
⑮ 発明者 安藤 治久	国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内
⑯ 出願人 株式会社日立製作所	東京都千代田区神田駿河台4丁目6番地
⑰ 代理人 弁理士 小川 勝男	外1名

最終頁に続く

## 明細書

発明の名称 固体撮像素子

## 特許請求の範囲

2次元状に配置した光電変換素子と、該光電変換素子を選択する垂直スイッチ手段と、該垂直スイッチ手段の出力端を列毎に接続した垂直信号線と、該垂直信号線の選択を行なう水平スイッチ手段とから成る固体撮像素子において、上記垂直信号線ごとに垂直信号線の電位をリセットするスイッチ手段と、該垂直信号線と該水平スイッチ手段との間に該垂直信号線の電位を検知して増幅する増幅手段と、上記リセット後の空の垂直信号線電位と信号電荷のある時の垂直信号線の電位の差を出力する手段とを設けたことを特徴とする固体撮像素子。

## 発明の詳細な説明

## 〔発明の利用分野〕

本発明は、固体撮像素子に係り、特にMOS型固体撮像素子において、高感度、低ノイズを実現するのに好適な回路構成とその制御法に関する。

## 〔発明の背景〕

従来、2次元固体撮像素子の1種としてMOS型固体撮像素子が知られている(青木によるアイエスエスシーシーダイジェストの26頁; 1980年(ISSCC Digest, p 26, 1980))。第1図は、MOS型固体撮像素子の一従来例を示す回路構成図である。1は2次元状に配置された光電変換素子、3, 5は光電変換素子内の信号電荷を順に読み出すための垂直ならびに水平走査回路、2は垂直走査回路のパルスによりオンオフする垂直スイッチ、9は垂直走査回路のパルスを各垂直スイッチに伝達する垂直ゲート線、6は水平走査回路のパルスによりオンオフ水平スイッチ、4は垂直信号線、7は素子外部の増幅器、8は水平信号線を示す。本回路においては、光電変換素子1の信号電荷は、垂直走査回路3により選択された垂直スイッチ2が開くと垂直信号線4に送られ、その後水平走査回路5により水平スイッチ6が順次開閉し、水平信号線8を経て増幅器7より読み出される。

本素子は、光利用率が高く信号電荷量が多いという利点を有するが以下の2点の欠点を有する。第1に、信号読み出しに伴うランダム雑音が大きく、低照度における信号対雑音比（以下S/Nと略す）が低い。また、明るい被照体を写したときに、再生画の上下に白く尾を引く垂直スマーフ現象が生じ、高照度撮像時には画質劣化の要因となる。

## 〔発明の目的〕

本発明の目的は、MOS型固体撮像素子の高い光利用率を保ちつつ、ランダム雑音ならびにスマーフを低減し、高S/Nかつ低スマーフの固体撮像素子を提供することにある。

## 〔発明の概要〕

MOS型固体撮像素子のランダム雑音の主成分には、水平スイッチで生じる雑音と素子外部の増幅器で生じる雑音の2つがある。第1の水平スイッチで生じる雑音は、本質的に、CCD(Charge Coupler Device)で通常用いられるFDA(Floating Diffusion Amplifier)回路で発生するリセット雑音と同一メカニズムにより発

ら、第1に従来素子に比し、増幅器の入力端につく容量を低減し、信号振幅を大きくとれるからである。第2に、増幅器に必要とされる通過帯域を小さくすることができるからである。

さて、MOS型撮像素子におけるスマーフ現象は垂直信号線に不要電荷が混入するために発生する。本発明においては、垂直信号線をリセットした後の信号電荷を読むため、スマーフの混入時間を低減できスマーフを低減できる。

## 〔発明の実施例〕

以下、本発明の第1の実施例を第2図ならびに第3図を用いて説明する。第2図は、本発明の一実施例の回路構成図を示す。1～6と9は第1図と同一のものを示す。21は各垂直信号線の電位を検知増幅するための増幅回路、22と23は増幅器21の出力をサンプルホールドするためのスイッチ、27、28はサンプルホールドのための容量、24はサンプルホールドされた2つの信号の差を出力するための差動増幅器、25は垂直信号線をリセットするためのリセットスイッチ、26

生する。すなわち、水平スイッチがオンオフし、信号が読まれるとともに垂直信号線電位がリセットされる際に、水平スイッチの熱雑音により垂直信号線のリセット電位がゆらぐことによりランダム雑音が発生する。FDA回路においては、このリセット雑音の低減のために、相関2重サンプリング法が用いられている。（M. H. WHITE et al. : IEEE J. Solid State Circuits, vol. SC-9 No. 1 p. 1-p. 12 (FEB. 1984) ; 西田ほか：テレビジョン学会全国大会予稿集3-2 p. 45 (1985) ; 遠藤ほか：テレビジョン学会全国大会予稿集3-5 p. 51 (1985)）。本発明は、水平スイッチで生じる雑音がFDA回路のリセット雑音と同一メカニズムにより発生することに注目し、MOS型撮像素子の各垂直信号線ごとに増幅器と相関2重サンプリング法を行なう回路を設け、水平スイッチで生じる雑音を低減するものである。さらに、増幅器を各垂直信号線ごとに設けた結果、従来素子のもう1つの大きな雑音源である増幅器の雑音を低減できる。なぜな

は垂直信号線のリセット電圧を供給するリセットドレインである。また、第3図は、第2図の素子を駆動するためのパルスタイミングを示す。HBLは水平ブランディング期間を示し、R.G. S1, S2は第2図の各端子にかかる電圧を示す。以下、本実施例の動作を説明する。

水平ブランディング内に入ると、RGが高レベルとなりリセットスイッチ25が開くと、垂直信号線内に蓄つたスマーフ電荷等の疑似信号がリセットドレイン26に掃き出され、垂直信号線電位はドレイン26の電圧RDにリセットされる（第3図t1）。つぎにRGが低レベルとなるとリセットスイッチ25の熱雑音により雑音電圧v.が発生し垂直信号線のリセット電圧がゆらぐ（第3図t2）。この雑音電圧v.は、増幅器21により増幅され（ゲインをG1とする）、スイッチ23が開閉すると、容量28にG1v.の電位変動としてサンプルホールドされる（第3図t3）。この後、垂直走査回路3により選択されたある垂直ゲート線9の電位Vpが高くなると、垂直スイッ

チ2が開き、光電変換素子1から垂直信号線4に信号電荷 $Q_s$ が読み出される(第3図1<sub>1</sub>)。この信号電荷による垂直信号線電位変動 $V_s = Q_s / C_v$ ( $C_v$ は垂直信号線容量を示す)に雑音電圧 $v_s$ が重畳された垂直信号線の電位変動 $V_s + v_s$ は、増幅器21により増幅され、スイッチ22が開閉すると容量27nF $G_1 (V_s + v_s)$ の電位変動としてサンプルホールドされる(第3図1<sub>2</sub>)。以上の動作の後に、差動増幅器24の出力には、垂直信号線のリセット電圧 $v_s$ を含まない真の信号電荷による垂直信号線の電位変動 $V_s$ が $G_1 G_2$ だけ増幅されて( $G_2$ は差動増幅器24のゲインを示す)出力されることになる。この後、水平走査回路5により、水平スイッチ6が順次開閉し、増幅された信号が出力される。

さて、以上の実施例において、主たる雑音源は増幅器21の発生する雑音となる。なぜなら、信号は増幅器21により増幅されるために、増幅器21の電圧ゲインを大きくとればサンプルホールド回路ならびに増幅器24の雑音は無視し得るよ

型素子の受光部には何ら変更を加えることなく、高い光利用率を保ちながら、ランダム雑音ならびにスマートを低減することができる。

次に、本発明の第2の実施例を第4図ならびに第5図を用いて述べる。第2図の実施例においては各増幅器が直流結合されているので各増幅器の動作点を高利得領域に設定するのが困難な場合がある。本実施例は、この問題を解消するために、MOS A/D変換器で広く用いられている自己バイアス用スイッチ(中谷他:昭和60年度電子通信学会総合大会予稿444 p2-162(1985))を用いるものである。

第4図は、本発明の第2の実施例の回路構成図を示す。図中1~6と9は第1図と同一のものである。41は各垂直信号線の電位を検知増幅するための増幅回路、42は増幅回路41を高利得領域に設定するための自己バイアススイッチ、43はカッピング容量、44は第2の増幅回路、45は増幅回路44を高利得領域に設定するための自己バイアススイッチ、46は信号をサンプル

うに設計できるからである。一方、増幅器21に必要な動作速度は、容量27, 28nFサンプルホールドが充分に行なわれる速度であれば良い。その結果、増幅器21の通過帯域を従来のMOS型素子が3MHz程度であったのに対し、1MHz程度以下と低くとることができ、容易に低雑音化が可能となる。

また、一方、信号に混入するスマート電荷量は差動出力をしているためスイッチ23が閉じた後、スイッチ22が閉じるまでの時間となる(第3図にT<sub>1</sub>で示す)。従つて、従来のMOS型素子では一水平走査期間中スマートが混入したのに対し、約1/30程度にこの混入時間を低減することができ、低スマート化が可能となる。

なお、本実施例では、増幅器21, 24を水平方向の画素数だけ並列化しているために、消費電力が問題となる場合がある。この様な場合には、各増幅器をパルス動作させることにより低消費電力化を図ることができる。

以上、述べた様に、本実施例によれば、MOS

ホールドするためのスイッチ、47は信号を出力するための増幅器である。第5図は第4図の素子を駆動するためのパルスタイミングを示す。HBLは水平プランギング期間を示し、S1, S2, S3は第4図の対応する端子にかかる電圧を示す。以下、本実施例の動作を説明する。

水平プランギング期間に入ると、スイッチ42が開き垂直信号線4がリセットされるとともに増幅器41の動作点が高利得領域に設定される(第4図1<sub>1</sub>)。この後、スイッチ42が閉じると、垂直信号線には雑音電圧が発生する。しかし、この時にはスイッチ45が開いているために、増幅器44の出力電圧は、垂直信号線電圧によらずにある一定の電圧に設定されている(第4図1<sub>2</sub>)。つぎに、スイッチ45が閉じ増幅器44の動作点が高利得領域に設定される。その後、垂直走査回路3により選択されたある垂直ゲート線9の電位 $V_s$ が高くなると、垂直スイッチ2が開き、光電変換素子1より垂直信号線4に信号電荷が読み出される(第4図1<sub>3</sub>)。この電荷による垂直信号

線の電位変動は増幅器41により増幅された後、カップリング容量43を介し、増幅器44の入力端に表われ、増幅器44により更に増幅される。この時の増幅器44の出力をサンプルホールドすることにより、信号電荷による垂直信号線の電位変動を増幅した出力のみをサンプルホールドすることができる(第4図1)。この後、水平走査回路5が動作し、水平スイッチ6が順次開閉することにより、増幅47を介し、信号が順次出力される。

本実施例においても、第2図と同様なランダム雜音抑圧効果、ならびにスマート抑圧効果を得ることができる。更に、本実施例は、各増幅器の直流動作点の設定が自己バイアスにより行なわれるので、容易に高利得領域で増幅器を動作させることができるという利点を有する。

さらに、本発明の第3の実施例を第6図、第7図を用い説明する。第4図の実施例においては、増幅器41の雜音が主雜音源となる。従つて増幅器41の出力を充分に帯域制限することにより低

$V_g$ はゲート61のゲート電圧となつてゐる。従つて、ゲート61下のポテンシャルは $V_g - V_{th}$ となる。ここに $V_{th}$ はゲート61のしきい電圧である。この時、ドレイン63の電圧を低レベルから高レベルにすると、電荷が容量62からドレイン63に流れ出す(第7図(b)  $t = t_1$ )。転送の最終時刻においては、容量62の電位は、 $V_g - V_{th}$ となる(第7図(b)  $t = t_2$ )。この容量62の電位を増幅器64により検知することにより、垂直信号線の電位変動を読み出すことができる。本回路における雜音を解析すると、増幅器41の雜音のうち電荷転送時間 $t_1$ の逆数 $1/t_1$ の周波数帯域の成分だけが、容量62の電圧のゆらぎに寄与することがわかる。すなわち、本回路は、増幅器41の雜音に対する低域通過フィルタとして動作することになる。

以上述べたように、本実施例では電荷転送回路が低域通過フィルタとして働き、増幅器41の帯域制限を行なうことができるので、ランダム雜音の低減を容易に行える。

雜音化を図ることができる。本実施例は、この帯域制限を行なうために、増幅器41の出力に電荷転送回路を附加したものである。

第6図は、本発明の第3の実施例の回路構成図を示す。1～6、9、41～47は第4図と同一である。61は増幅器41の出力電圧を容量62に伝達するための転送ゲート、63は容量62に電荷を入力するためのドレイン、64は容量62の電位を検出するための増幅器である。第7図(a)は第6図の素子を駆動するためのパルスタイミングを示す。HBLは水平ブランディング期間を示し、S1、S2、S3、CIは第6図の対応する各端子にかかる電圧を示す。本素子の動作は、第4図の場合とほぼ同様である。異なる点は、61～64からなる電荷転送型の低域通過フィルタの動作である。以下この動作を第7図(b)を用いて説明する。

第7図(b)は第7図(a)の時刻 $t_1$ 、 $t_2$ 時のゲート61並びにドレイン63、容量62のポテンシャルを示すものである。増幅器41の出力電圧

本発明の第4の実施例を第8図、第9図を用いて説明する。単板カラーフィルム撮像素子においては、解像度の高い高画質を実現する方法としてインターレース走査を行なう垂直2画素読み出し方式がある。また、スマートを低減する手段として、小沢他、1984年テレビジョン学会全国大会予稿集3-13 p67に記載のスマート差動方式がある。本実施例はこれらの方法を本発明で実現した例である。

第8図は、本発明の第4の実施例の回路構成図を示す。1～6、9、41～47は第4図と同様である。但し、垂直走査回路3'には2行同時読み出しのためのインターレース走査を行なう回路が付加され、サンプルホールドのためのスイッチ46、信号を出力するための増幅器47、水平スイッチ6が各垂直信号線ごとに3つずつ接続され、出力線が3本ある。第9図は、本素子を駆動するためのパルスタイミングを示す。HBLは水平ブランディング期間を示し、S1、S2、S3、S4、S5は第8図の対応する端子にかかる電圧を示す。

以下、本実施例の動作を説明する。

本実施例においては、まず、水平プランギング期間の第1の期間（第9図T<sub>1</sub>の期間）にスメア信号を容量48-1に読み出しサンプルホールドする。この時読み出されるスメア量は、スイッチS<sub>2</sub>が閉じてからスイッチS<sub>3</sub>が開き再び閉じるまでの時間T<sub>1</sub>に垂直信号線に混入する量となる。つぎの期間（第9図T<sub>2</sub>の期間）に第1の信号を容量48-2に読み出しサンプルホールドする。最後の期間（第9図T<sub>3</sub>の期間）に、第2の信号を容量48-3に読み出しサンプルホールドする。この後、水平走査回路5が動作し、順次水平スイッチ6が開閉するとスメア電荷と、2つの信号電荷が同時に読み出される。この2つの信号電荷からスメア電荷を減算することにより、スメア電荷を含まない垂直2画素の信号電荷を得ることができる。

以上述べた様に、本実施例ではサンプルホールド回路並びに出力回路を各垂直信号線ごとに複数個配列することにより容易に2行同時読み出しを

かに開く。この結果、飽和している光電変換素子1の電荷の一部は垂直信号線4へ流れ出す。この後、RAB回路のドレイン102、ゲート101の順に電圧を低くして、垂直スイッチ2を“閉”にする。この結果信号読み出し期間には光電変換素子1は飽和以前の状態にあり、ブルーミング現象は生じない。なお、垂直信号線4に流れ出た電荷は、スメア電荷とともに素子外部に掃き出される。この後の動作は第4図と全く同様である。

以上述べたように、本実施例では光電変換素子1から信号を読む直前に、飽和している光電変換素子の電荷の一部を素子外部に掃き出して、光電変換素子1を非飽和状態にできるのでブルーミング現象を抑圧できる。

#### 〔発明の効果〕

本発明によれば、MOS型固体撮像素子の受光部に何ら変更を加えることなく、ランダム雜音を低減することができ、かつ、スメア電荷の信号への混入する時間を短くすることができるので、高S/Nかつ低スメアの固体撮像素子を実現できる。

スメア差動法を実現できる。

本発明の第5の実施例を第10図、第11図を用いて説明する。固体撮像素子には強い光があたつた時、光電変換素子1が飽和し、過剰となつた電荷が垂直信号線4に溢れ込み、スメアと同様に強い光が当つた部分の上下に白い帯状の擬信号が現われて画質を劣化させる。これをブルーミング現象と呼んでいるが、この現象を抑圧する手段として、実願昭55-130240号公報に記載のRAB回路がある。本実施例は、このRAB回路を本発明において実現するものである。

第10図は、本発明の第5の実施例の回路構成図を示す。1～6、9ならびに41～47は第4図と同様であり、101、102はブルーミング抑圧を行なうRAB回路のゲートとそのドレインである。第11図は、本素子の駆動パルスタイミングを示す。以下、本実施例の動作を説明する。

水平プランギング期間に入ると、RAB回路のゲート101に電圧を加え、続いてドレイン102にわずかな電圧を加えて、垂直スイッチ2をわず

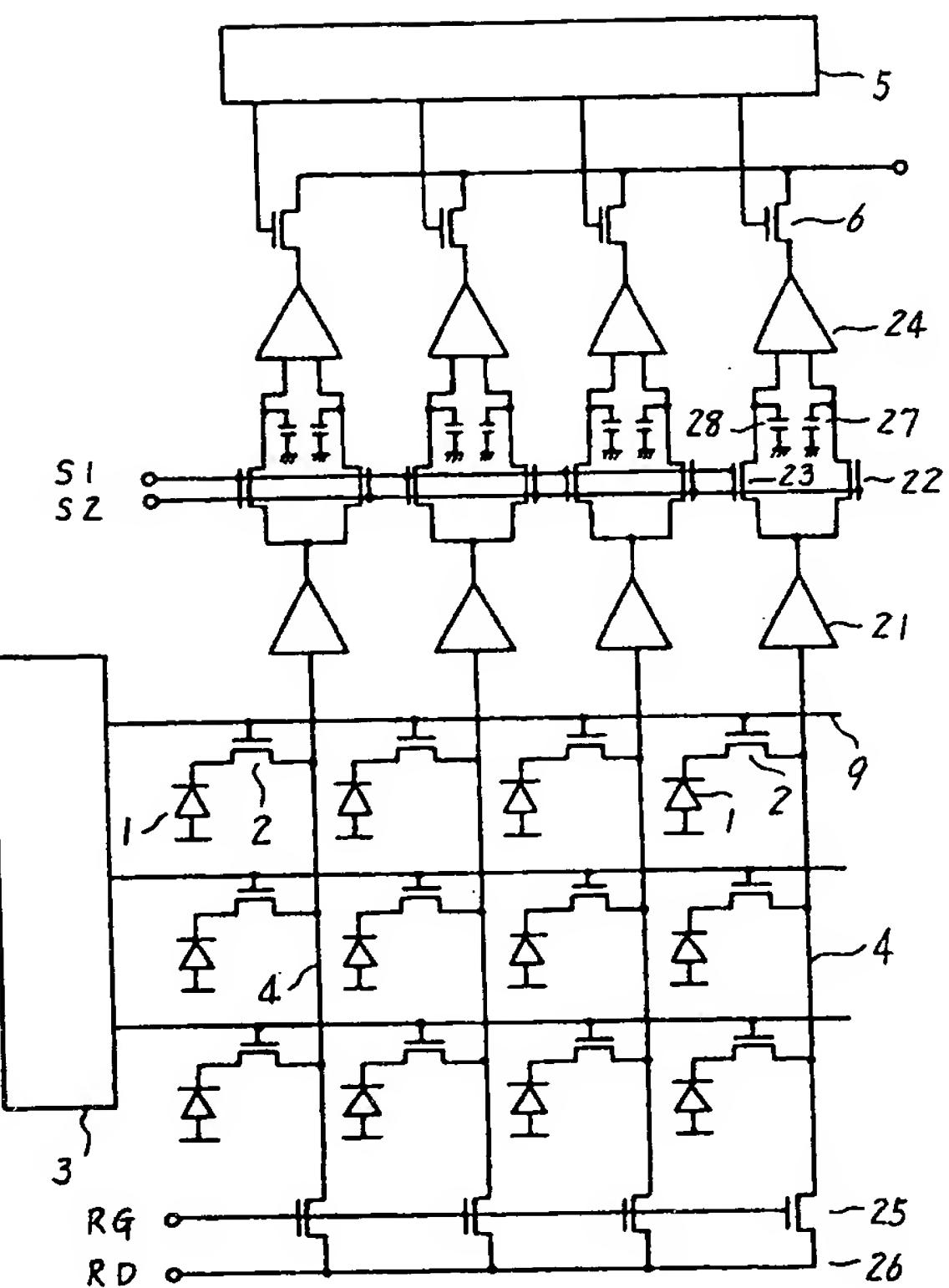
#### 図面の簡単な説明

第1図は従来の固体撮像素子の回路構成図、第2図、第4図、第6図、第8図、第10図は本発明の実施例を示す図、第3図、第5図、第7図、第9図、第11図は駆動パルスのタイミングを示す図である。

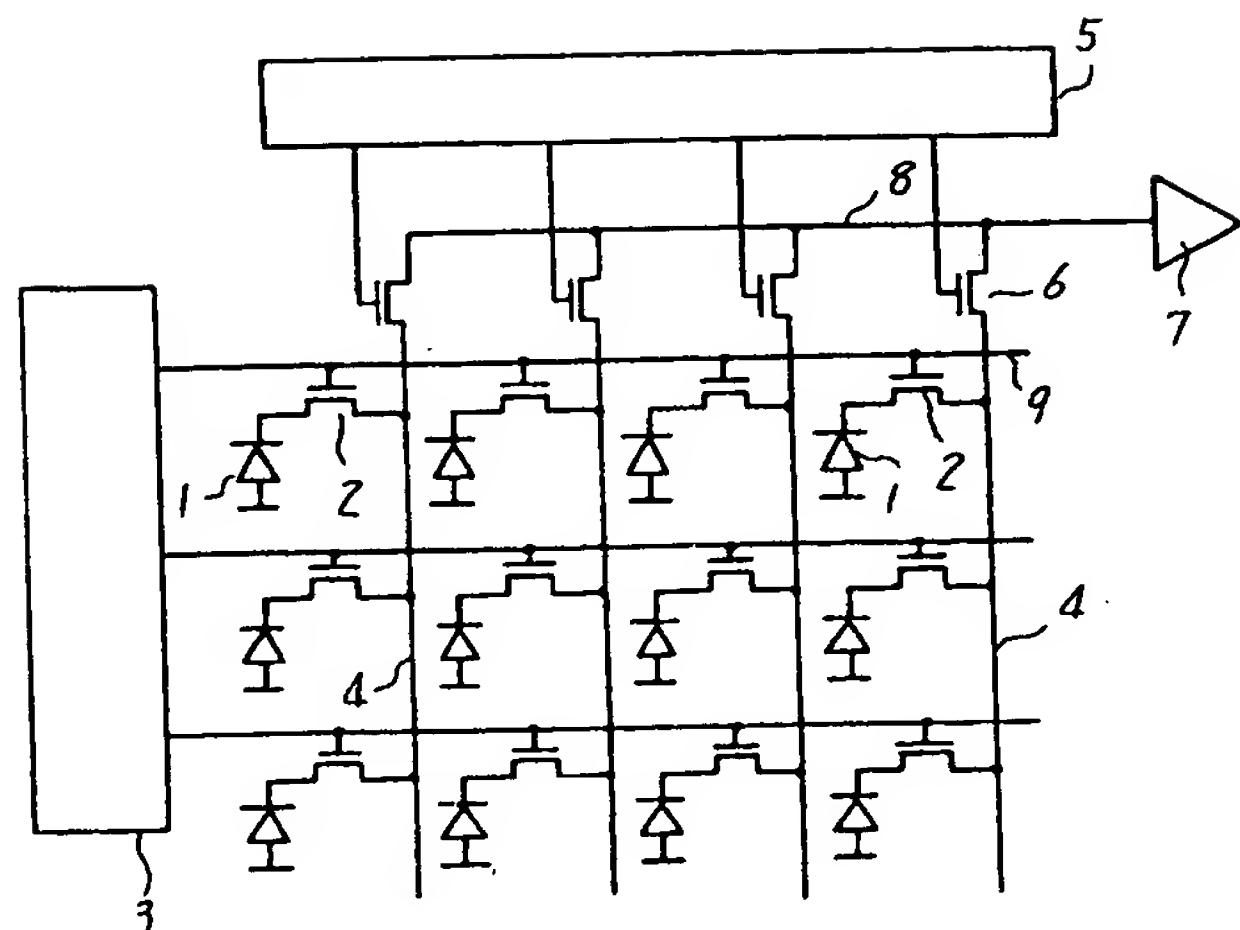
1…光電変換素子、2…垂直スイッチ、3…垂直走査回路、4…垂直信号線、5…水平走査回路、6…水平スイッチ、9…垂直ゲート線、21、41、44…増幅器、22、23、46…サンプルホールドスイッチ、24…差動用増幅器、47…出力用増幅器、25…リセットスイッチ、26…リセットドレイン、27、28…サンプルホールド容量、42、45…自己バイアス用スイッチ、43…カップリングコンデンサ、61…転送ゲート、63…電荷入力用ドレイン、101…RAB回路ゲート、102…RAB回路ドレイン。

代理人 弁理士 小川勝男

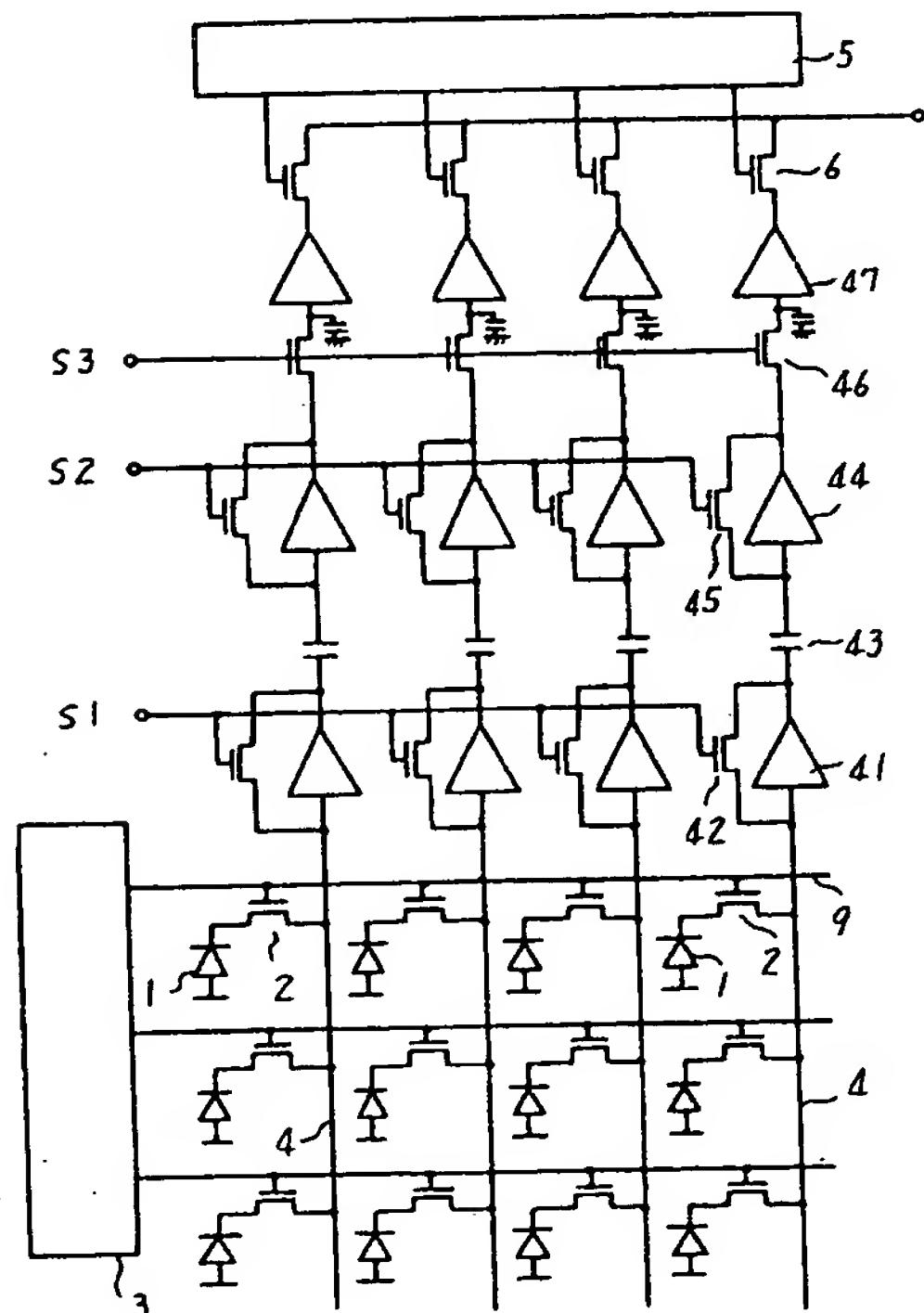
第2図



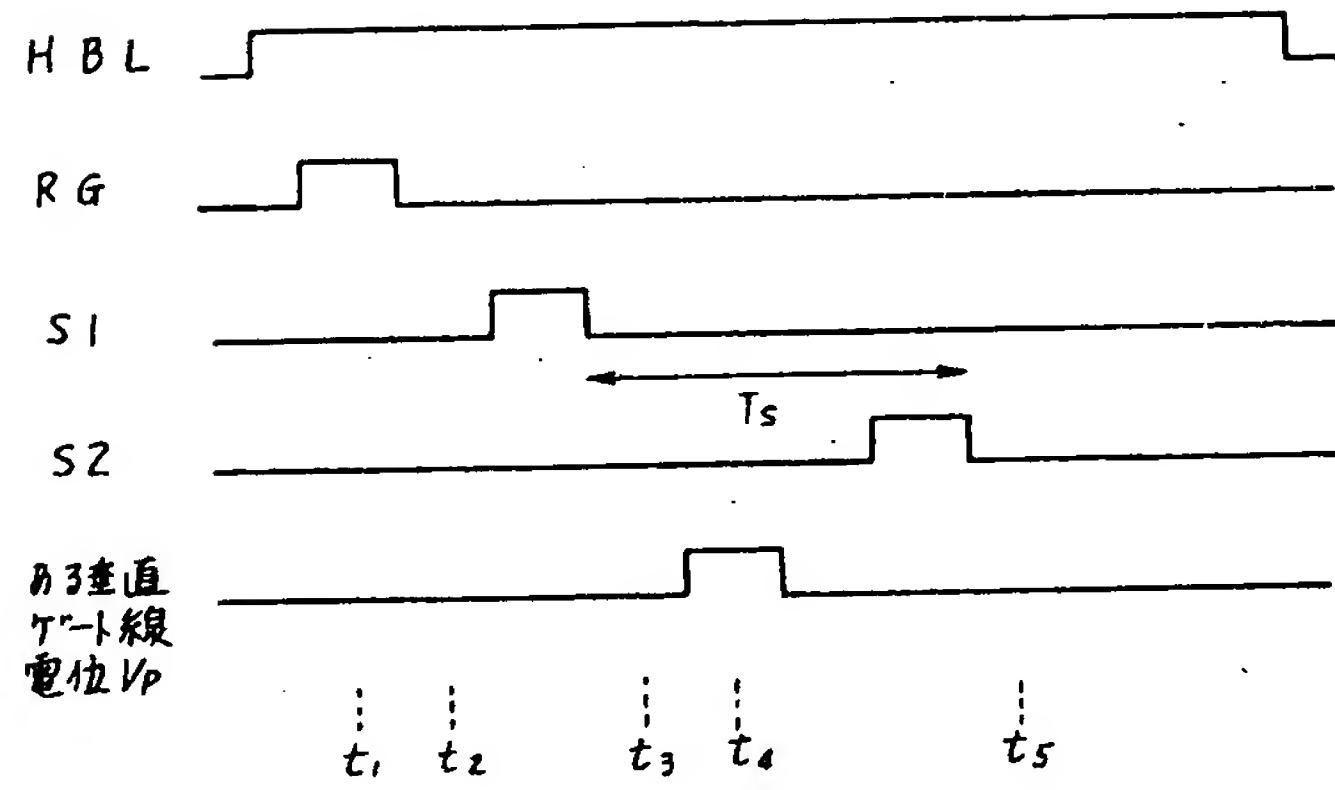
第1図



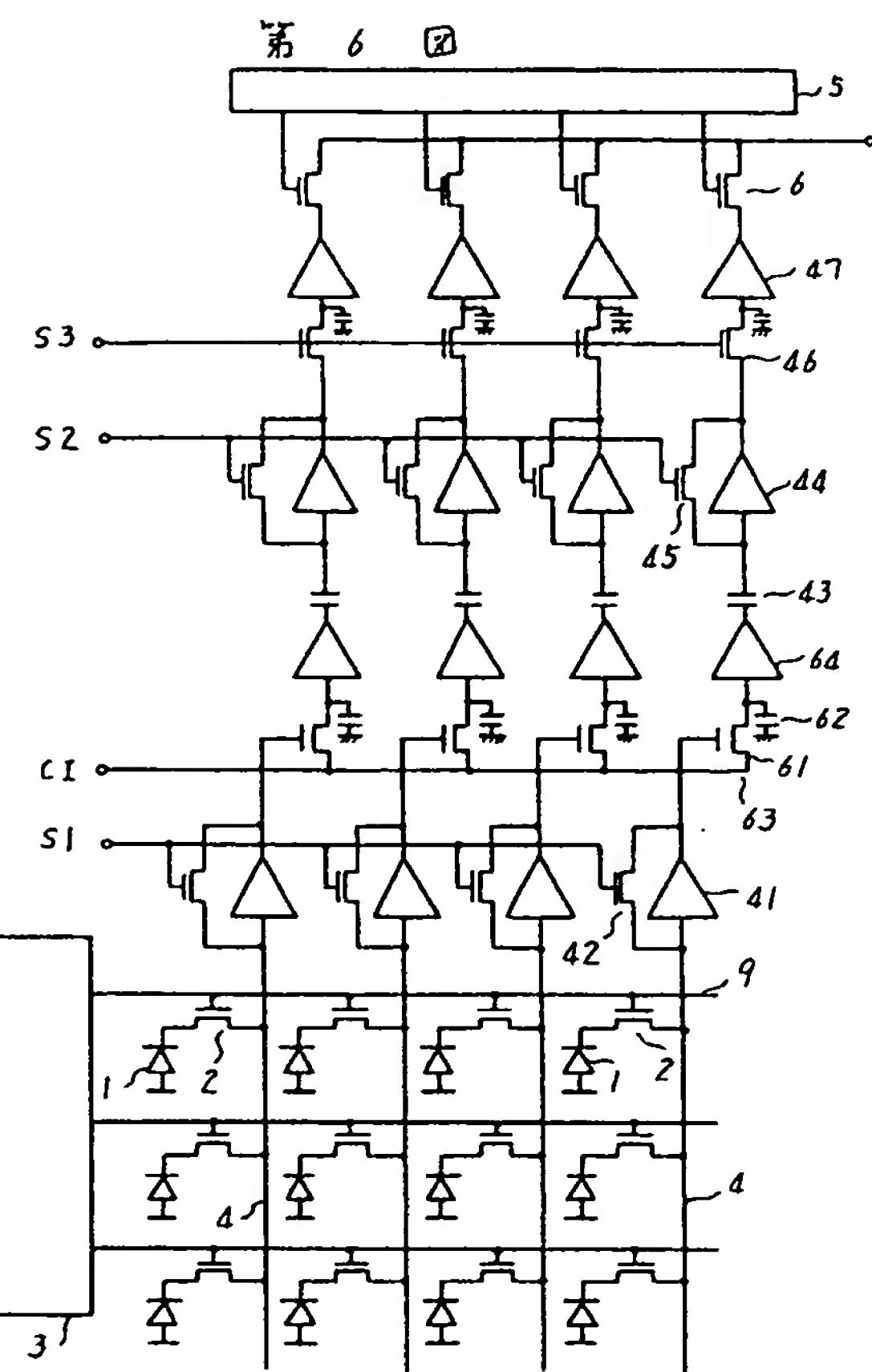
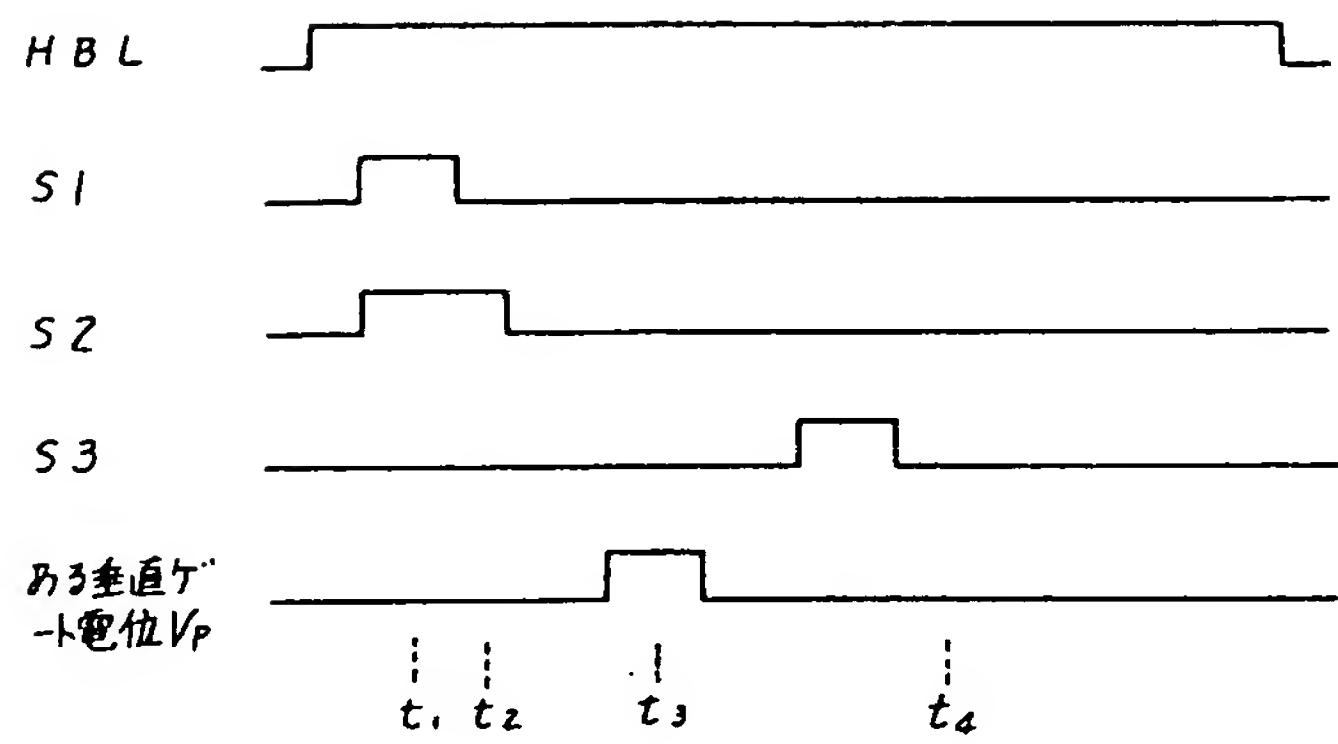
第4図



第3図

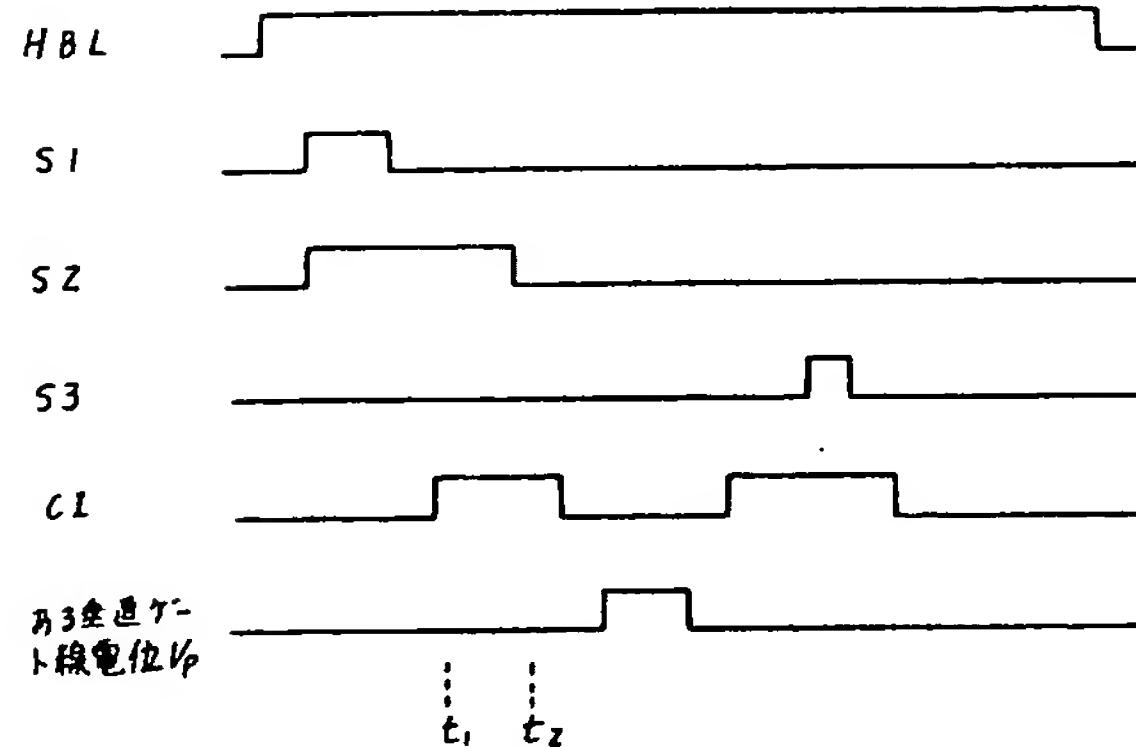


第 5 図

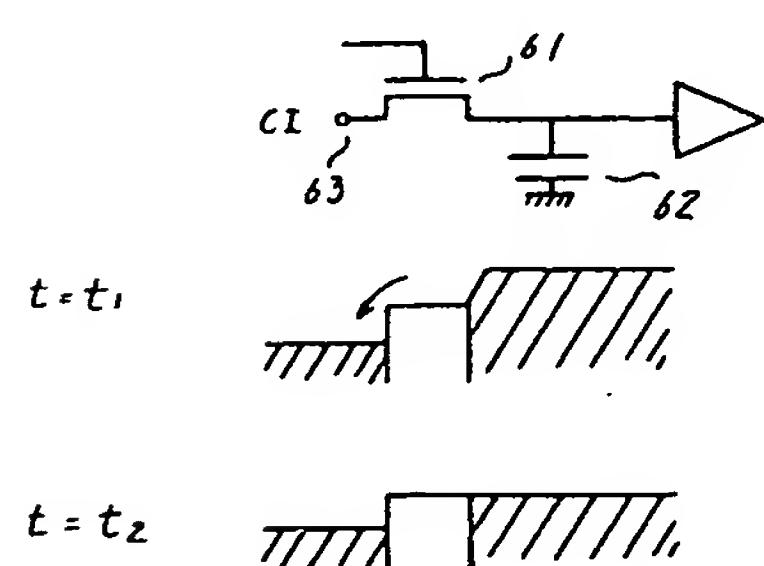


第 7 図

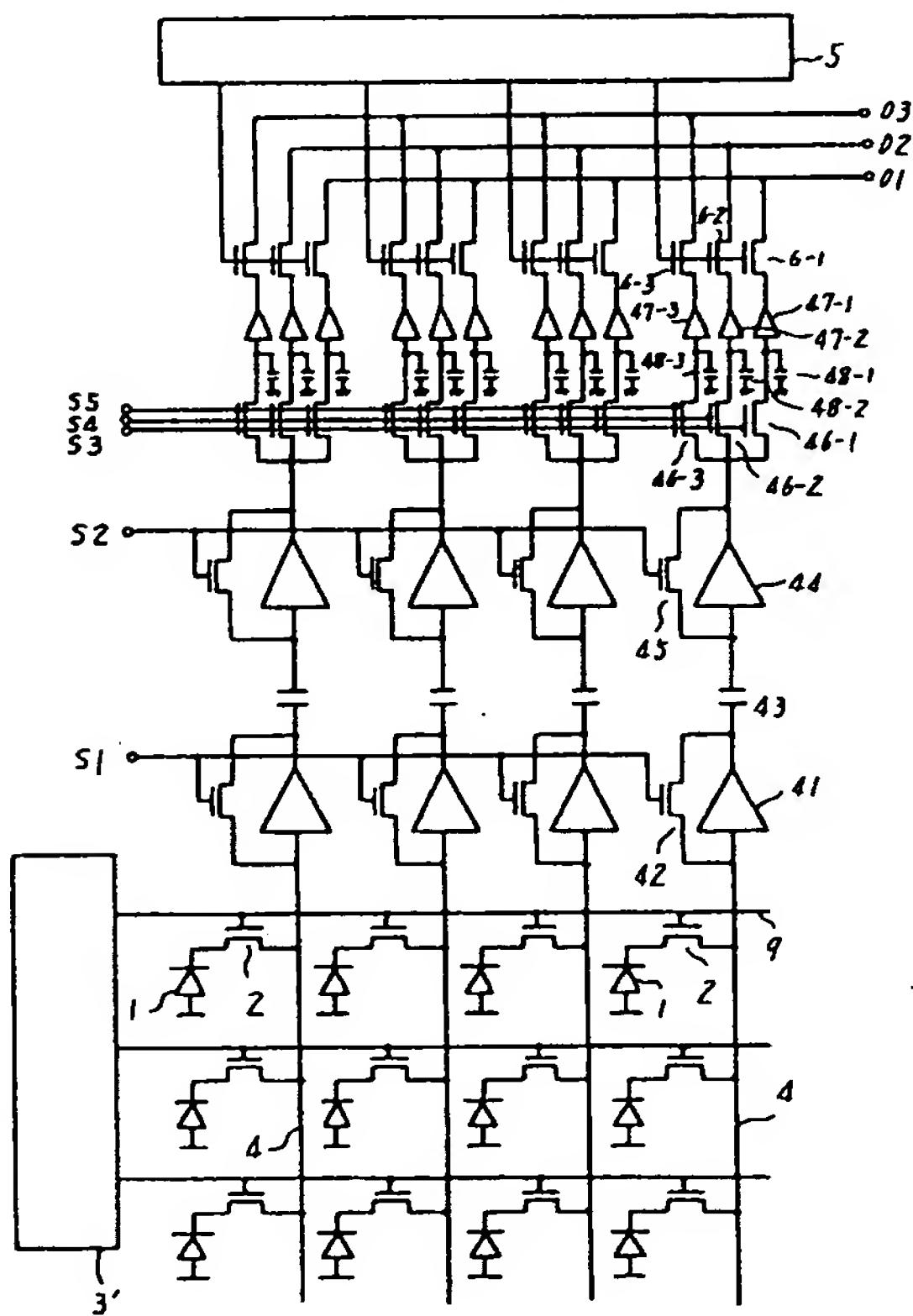
(a)



(b)

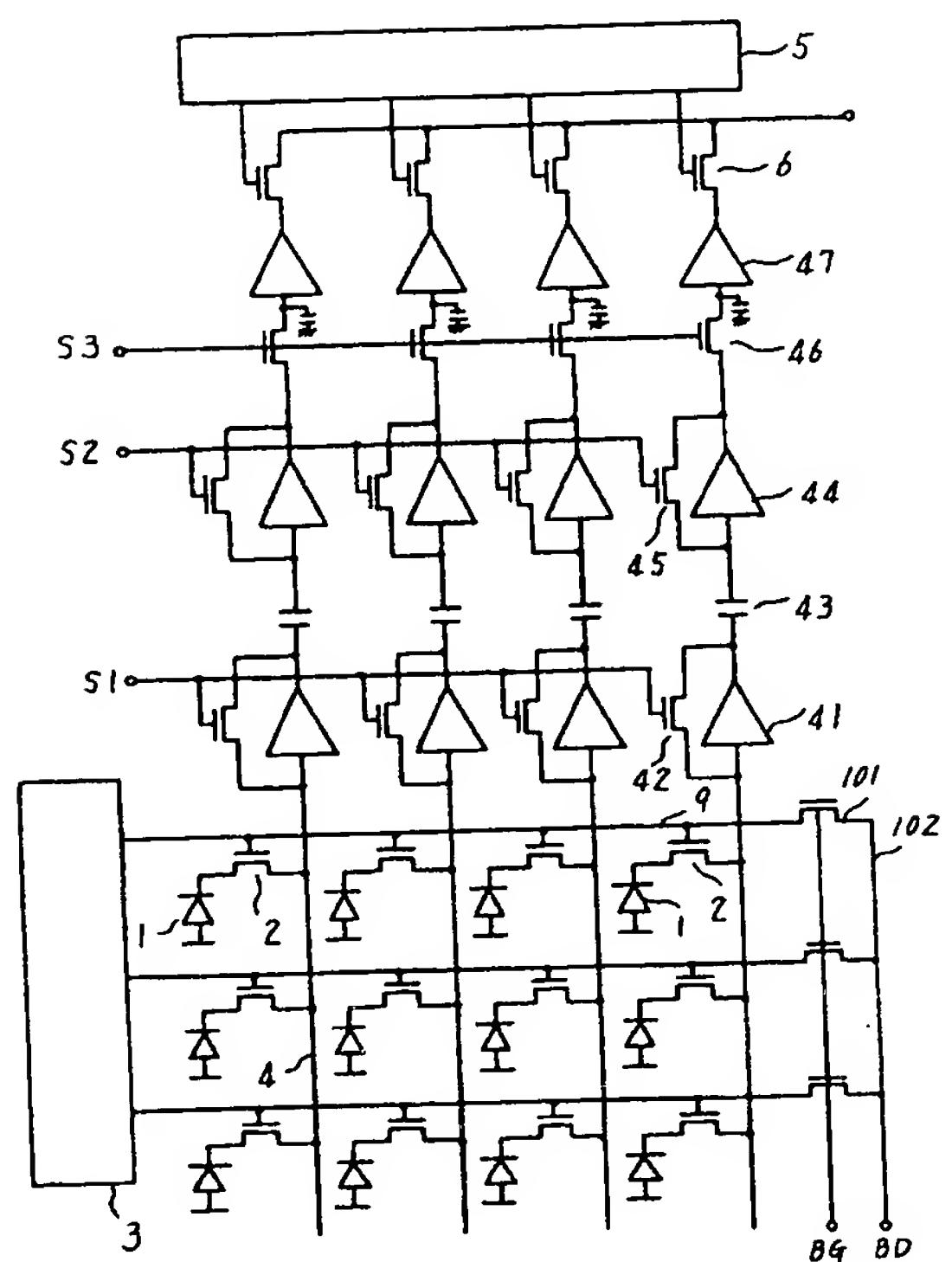
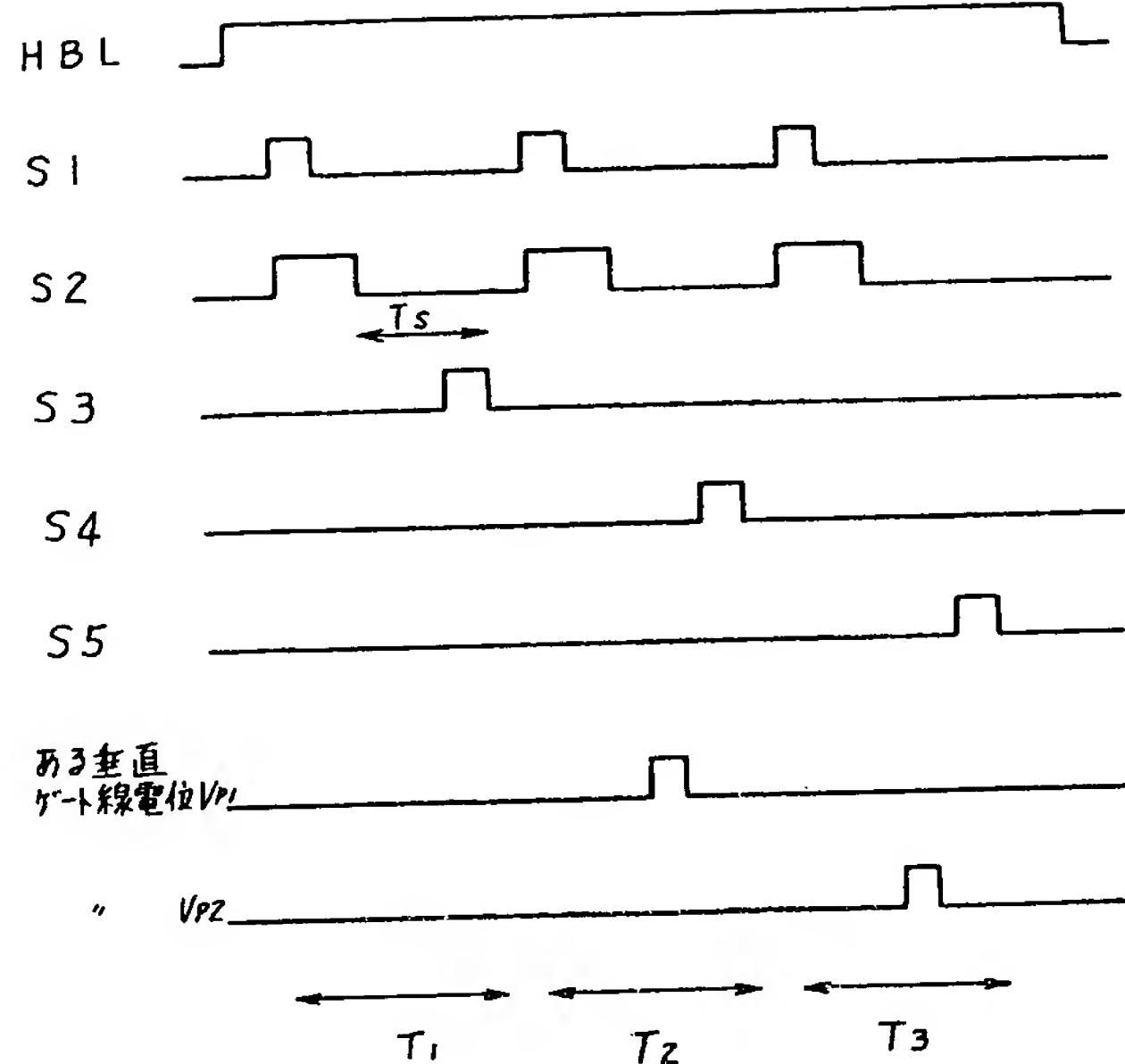


第 8 図

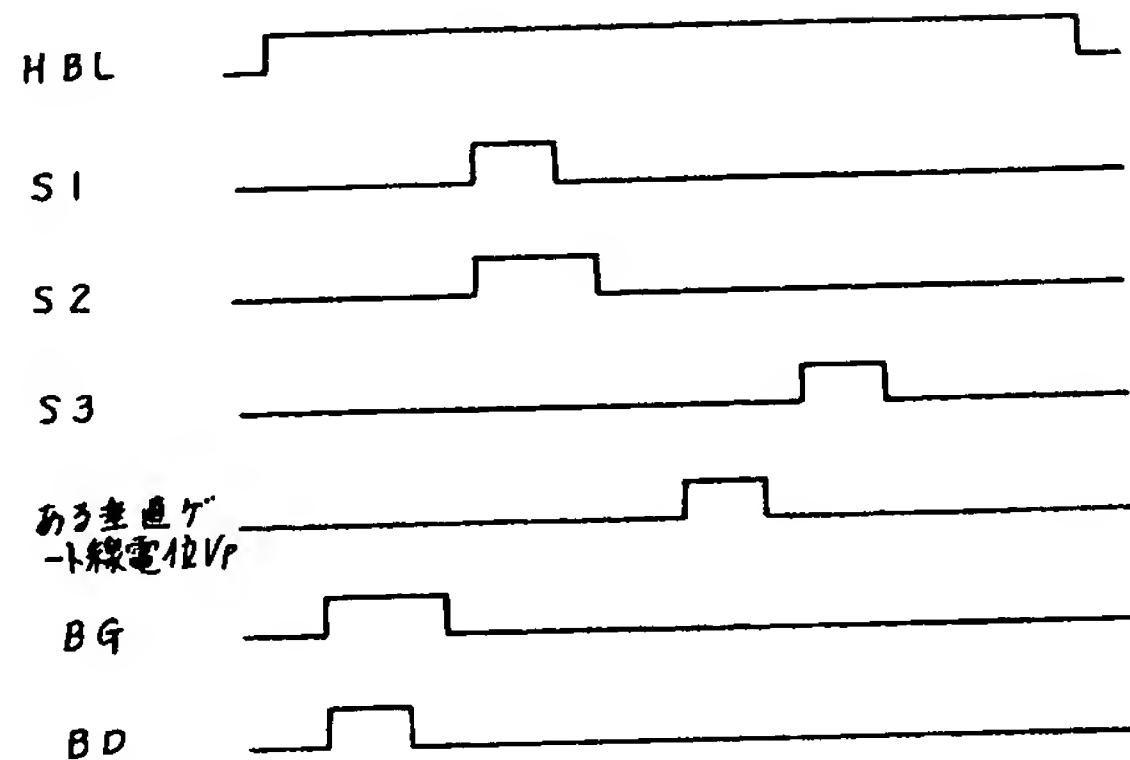


第 10 図

第 9 図



第 11 図



第1頁の続き

②発明者 秋元

肇 国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

②発明者 笹野

晃 国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

**THIS PAGE BLANK (USPTO)**